

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshitaka UEDA
Title: SEMICONDUCTOR DEVICE
Appl. No.: Unassigned
Filing Date: July 28, 2003
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2002-219834
filed 07/29/2002.

Respectfully submitted,

Date: July 28, 2003

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By


for David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月29日

出願番号

Application Number:

特願2002-219834

[ST.10/C]:

[JP2002-219834]

出願人

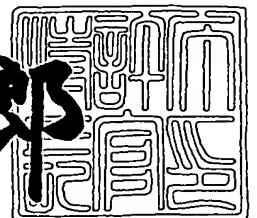
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月 2日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041979

【書類名】 特許願
【整理番号】 74310415
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
H01L 23/60
H01L 23/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 上田 義孝

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 一主面に所望の素子及び複数のチップ電極を含む配線が形成された半導体チップと、外部の所定の端子に接続する同一平面上に 2 次元的に配置された複数の外部接続用バンプ電極と、複数の前記チップ電極とそれぞれ対応し且つ前記外部接続用バンプ電極に含まれる複数の第 1 バンプ電極とを接続する接続手段を少なくとも備え、

前記外部接続用バンプ電極は前記第 1 バンプ電極と共に対応する前記チップ電極がないダミーバンプを複数含み、

前記第 1 バンプ電極は前記ダミーバンプとも接続する第 2 バンプ電極を含むことを特徴とする半導体装置。

【請求項 2】 前記ダミーバンプが複数の前記バンプ電極の最外周部に配置された第 1 ダミーバンプを含み、

前記第 1 ダミーバンプと接続する前記第 2 バンプ電極は、当該第 1 ダミーバンプと隣接し且つ当該第 1 ダミーバンプよりも前記半導体チップの中心に近い位置に配置されている請求項 1 記載の半導体装置。

【請求項 3】 少なくとも一つの前記第 2 バンプ電極は前記半導体チップの電源供給用でない前記チップ電極と接続する請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記半導体チップは前記チップ電極と当該半導体チップの内部回路部との間に静電保護回路を備えた静電保護付きチップ電極を有し、該静電保護付きチップ電極に接続した前記第 2 バンプ電極を少なくとも一つ有する請求項 1 乃至 3 いずれか 1 項に記載の半導体装置。

【請求項 5】 前記外部接続用バンプ電極を前記半導体チップの前記一主面に所定の絶縁層を介して形成し、前記接続手段が前記絶縁層上に形成された接続配線である請求項 1 乃至 4 いずれか 1 項に記載の半導体装置。

【請求項 6】 前記ダミーバンプと前記第 2 バンプ電極との接続は、前記絶縁層上に形成されたダミー接続配線により行われる請求項 5 記載の半導体装置。

【請求項 7】 一主面に所望の素子、所定の静電保護回路及び複数のチップ電極を含む配線が形成された半導体チップと、外部の所定の端子に接続する同一平面上に 2 次元的に配置された複数の外部接続用パンプ電極と、複数の前記チップ電極とそれぞれ対応し且つ前記外部接続用パンプ電極に含まれる複数の第 1 パンプ電極とを接続する接続手段を少なくとも備え、

前記チップ電極は前記静電保護回路のみと接続するダミーチップ電極を含み、前記外部接続用パンプ電極は前記第 1 パンプ電極と共に対応する前記チップ電極がないダミーパンプを複数含み、

前記第 1 パンプ電極に含まれる前記ダミーチップ電極に接続した第 3 パンプ電極に少なくとも 1 個の前記ダミーパンプを接続しことを特徴とする半導体装置。

【請求項 8】 前記第 3 パンプ電極を除く前記第 1 パンプ電極は前記ダミーパンプとも接続する第 2 パンプ電極を更に含む請求項 7 記載の半導体装置。

【請求項 9】 前記ダミーパンプが複数の前記パンプ電極の最外周部に配置された第 1 ダミーパンプを含み、

前記第 1 ダミーパンプと接続する前記第 2 パンプ電極は、当該第 1 ダミーパンプと隣接し且つ当該第 1 ダミーパンプよりも前記半導体チップの中心に近い位置に配置されている請求項 8 記載の半導体装置。

【請求項 10】 少なくとも一つの前記第 2 パンプ電極は前記半導体チップの電源供給用でない前記チップ電極と接続する請求項 8 又は 9 に記載の半導体装置。

【請求項 11】 前記半導体チップは前記チップ電極と当該半導体チップの内部回路部との間に静電保護回路を備えた静電保護付きチップ電極を有し、該静電保護付きチップ電極に接続した前記第 2 パンプ電極を少なくとも一つ有する請求項 8 乃至 10 いずれか 1 項に記載の半導体装置。

【請求項 12】 前記外部接続用パンプ電極を前記半導体チップの前記一主面側に所定の絶縁層を介して形成し、前記接続手段が前記絶縁層上に形成された接続配線である請求項 7 記載の半導体装置。

【請求項 13】 前記外部接続用パンプ電極を前記半導体チップの前記一主面側に所定の絶縁層を介して形成し、前記接続手段が前記絶縁層上に形成された

接続配線である請求項 8 乃至 1 1 いずれか 1 項に記載の半導体装置。

【請求項 1 4】 前記ダミーバンプと前記第 2 バンプ電極との接続は、前記絶縁層上に形成されたダミー接続配線により行われる請求項 1 3 記載の半導体装置。

【請求項 1 5】 前記ダミーバンプと前記第 3 バンプ電極との接続は、前記絶縁層上に形成されたダミー接続配線により行われる請求項 1 2 乃至 1 4 いずれか 1 項に記載の半導体装置。

【請求項 1 6】 前記半導体チップを搭載する所定の基板を更に有し、前記外部接続用バンプ電極を前記基板の前記半導体チップ搭載面と反対側の面に形成し、前記接続手段が前記基板に形成された接続配線を含む請求項 1 乃至 1 5 いずれか 1 項に記載の半導体装置。

【請求項 1 7】 前記半導体チップを搭載する所定の基板を更に有し、前記外部接続用バンプ電極を前記基板の前記半導体チップ搭載面の前記半導体チップ搭載領域外に形成し、前記接続手段が前記基板に形成された接続配線を含む請求項 1 乃至 1 5 いずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、外部接続端子として半田ボール等で形成されたバンプを用いた半導体装置に関し、特に静電ノイズ耐圧を向上させた半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年の半導体装置（以下、L S I とする）は、微細加工技術の進歩により高集積化、大規模化と共に多ピン化も著しい。そして多ピン化と L S I の小型化を両立させる方法として、半導体チップの素子が形成された主表面側に絶縁性の樹脂層やインタポーザ基板等を介して 2 次元的に外部接続用のバンプを形成したフリップチップ型 L S I（以下、F C L S I とする）や C S P（Chip Size Package/Chip Scale Package）型 L S I 等が開発されている。又、多ピン化と小型化を両立させる他の方法として、半田ボール等のバンプを 2 次元的に配列して形成した

プリント基板の bumps 形成面と反対側の面に半導体チップを搭載し、各 bumps に接続したプリント基板の配線導体と半導体チップ上の電極を例えば金 (Au) 等の金属細線でボンディング接続したり、半導体チップ上の電極上に bumps を形成してプリント基板上の配線導体と半田付けによる bumps 接続した後、プリント基板上の半導体チップやボンディングワイヤ等を樹脂で封止した BGA (Ball Grid Array) 型 LSI もある。

【 0 0 0 3 】

図 7 は従来の FCLSI の一例を示す図で、(a) 及び (b) はボール bumps が形成された面側のボール bumps の配置状態を模式的に示す平面図及び (a) の C 部のボール bumps とチップ上の電極との接続配線を含む部分拡大平面図であり、図 8 は図 7 (a) の P2-P2' 線に沿った断面図である。図 7 及び図 8 を参照すると、従来の FCLSI 500 は半導体チップ 510 の素子が形成された主表面側に絶縁樹脂層 515 を介して 2 次元的に配置して形成された外部接続用の bumps 521, 523 と、各 bumps 521, 523 と半導体チップ 510 の各電極 513 とを接続する再配線導体 541 を備えている。

【 0 0 0 4 】

又、図 9 は従来の BGA 型 LSI の一例を示す図で、(a) はボール bumps が形成された裏面側の平面図、(b), (c) はいずれも (a) の P3-P3' 線に沿った断面図でそれぞれ半導体チップの電極とプリント基板上の配線導体を金属細線のボンディングで接続した場合と bumps により接続した場合の例である。図 9 を参照すると従来の BGA 型 LSI 600 は、プリント基板 602 の一主面に半導体チップ 610 を搭載し、プリント基板 602 の一主面と反対面上に形成された絶縁膜 607 の開口部にて半田等の第 1 bumps 電極 620 が接続された基板配線 604 とチップ 610 とが金属細線 606 でボンディング接続又はチップ 610 上に形成された第 2 bumps 電極 632 により接続され、プリント基板 602 の一主面上の半導体チップ 610 や金属細線 606 等が封止樹脂 608 で覆われている。

【 0 0 0 5 】

これらの FCLSI、CSP 型 LSI 及び BGA 型 LSI 等においては、外部

接続電極となる bumps を 2 次元的に配置することで L S I の多ピン化と小型化に同時に対応しているが、これらの L S I では実装基板に搭載した際の接続強度を大きくすると共に当該 L S I の bumps 形成面における bumps の配置を面内で均一になるようにして L S I と実装基板との平行保持を確実にして接続信頼性を上げるため、当該 L S I の機能の実現のためには必ずしも必須ではないダミー bumps (以下、DBP とする) を設けることが、例えば特開平 1 - 2 3 8 1 4 8 号公報 (以下、公知例 1 とする) や特開平 1 0 - 1 2 6 2 0 号公報 (以下、公知例 2 とする) に開示されている。

【 0 0 0 6 】

図 1 0 は、公知例 1 に開示された半導体チップを説明するための図で、(a) 及び (b) はそれぞれ bumps 電極の配置を示す平面図及びこのチップの要部断面図であり、(c) 及び (d) はそれぞれこのチップの実装工程を順に示す (a) の P4-P4' 線に沿った位置に相当する模式的な断面図である。図 1 0 を参照すると、公知例 1 に開示された半導体チップ 7 0 1 は、チップ内の回路素子と実装する支持基板 7 0 9 の配線導体との接続のための bumps 電極 7 0 2 をチップ 7 0 1 の中央部に設け、これらの bumps 電極 7 0 2 を取り囲んでチップ 7 0 1 の周縁部に DBP 7 0 3 をほぼ等間隔で設けている。これらの bumps 電極 7 0 2 及び DBP 7 0 3 は概略次のようにして形成される。チップ 7 0 1 の素子領域 7 1 1 に酸化膜 7 2 1 の開口部で接触する第 1 配線導体 7 3 1 の上に層間絶縁膜 7 2 2 を介して第 2 配線導体 7 3 2 が形成され、層間絶縁膜 7 2 2 の開口部で第 1 配線導体 7 3 1 と接触している。この第 2 配線導体 7 3 2 の上及び層間絶縁膜 7 2 2 の上をパッシベーション膜 7 0 8 で覆い、フォトエッチングで第 2 配線導体 7 3 2 の上及びチップ 7 0 1 の外周近くに開口部を設ける。更にクロム (C r)、銅 (C u)、金 (A u) 膜を積層して下地金属層 7 0 7 を形成後、フォトエッチング加工でパターンニングし、半田メッキで下地金属層 7 0 7 上に半田を被着し、約 3 5 0 °C に加熱して球状化し、bumps 電極 7 0 2 及びそれよりやや大きい DBP 7 0 3 を形成している。そして、このチップ 7 0 1 を実装する際にはチップ 7 0 1 の bumps 形成面を配線支持基板 7 0 9 と対向させて配線支持基板 7 1 0 に載せる。このとき、DBP 7 0 3 と bumps 電極 7 0 2 の高さの差を補償する暑さの予備

半田層 7 1 0 を基板の上に被着しておく。このあと、半田をリフローさせると径の小さいバンプ電極 7 0 2 が先に融けて予備半田層 7 1 0 と接着し、その間径の大きい DBP 7 0 3 で一定に保たれるチップ基板間の距離だけの高さの半田柱にバンプ電極 7 0 2 になる。しばらく後に DBP 7 0 3 が融けて基板 7 0 9 とチップ 7 0 1 の外周部が接着される。その後、DBP 7 0 3 の周囲を例えばエポキシ樹脂 7 0 4 で被覆して固定している。

【 0 0 0 7 】

図 1 1 は、公知例 2 に開示された FCLSI のバンプ電極の構成例を示す平面図である。この FCLSI 7 5 0 のバンプ電極は、チップ内の素子と接続する主バンプ電極列 7 5 2 a と例えばチップ内の素子と接続しないダミーの補助バンプ電極列 7 5 2 b から構成され、いずれもチップの周方向に補助バンプ電極列 7 5 2 b を外周側にして配設されている。又、補助バンプ電極列 7 5 2 b に含まれるバンプ電極の径を、主バンプ電極列 7 5 2 a に含まれるバンプ電極の径よりも大きくして、1チップ当たりの半田量を増量し、チップー実装基板間への樹脂の封入を容易にすると共にチップ中心から離間されたバンプ電極の接合寿命を向上させている。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかし、上記公知例 1，2 に開示された半導体チップの構成では、DBP に静電ノイズが印加されると近傍のバンプ電極に放電し、このバンプ電極に接続した内部素子を損傷或いは破壊するという問題のあることが分かった。

【 0 0 0 9 】

具体的には、DBP のように半導体チップ内のいずれの素子にも接続されていない外部接続電極が存在し、DBP このに静電ノイズが印加された場合、電荷の放電経路が無い場合、ギャップ放電現象を起こしてしまう。そして、超多ピン QFP (Quad Flat Package) 等のピン間隔に比べ、より広いバンプ電極間隔 (ピン間隔) を有する FCLSI, CSP 型 LSI 及び BGA 型 LSI 等ではギャップ放電時の電圧がより高くなっているため、隣接バンプ電極に対するダメージがより大きくなる。

【 0 0 1 0 】

例えば公知例 1 のチップ 7 0 1 では、DBP 7 0 3 に隣接しているバンプ電極 7 0 2 が第 1 配線導体 7 3 1 及び第 2 配線導体 7 3 2 を通じて、半導体チップ 7 0 1 上に形成された静電破壊保護回路（図示せず）に接続されているが、ギャップ放電現象による静電ノイズはこの静電破壊保護回路の耐圧以上の急峻なパルスであるため、半導体チップ 7 0 1 を破壊してしまう恐れがある。

【 0 0 1 1 】

なお、ギャップ放電現象について詳しく述べてある例としては、社団法人 電子情報通信学会技術研究報告（環境電磁工学）、1998 年 12 月 18 日発行、P 3 7 ～ P 4 2 がある。この文献によると、3 0 0 0 V 以下における電流立上り時間は 1 n s 以下であり、非常に急峻なパルスであると記載されている。そして、通常 L S I デバイスの設計において、耐圧基準としている E S D A 規格や J E D E C 規格等によると、規定されている放電波形の立上り時間は 2 - 1 0 n s 程度とされている。これはギャップ放電における放電波形の電流立上り時間と比べて緩やかであるため、前述の問題が発生する。

【 0 0 1 2 】

このような問題を解決する方法として、Q F P のようなリードフレームに対応するものであるが、例えば特開平 1 1 - 1 6 3 2 4 7 号公報（以下、公知例 3 とする）には半導体チップ内のいずれの素子にも接続されていない外部接続電極、即ち NC（No Connection）ピン専用に静電破壊保護回路を設けることが、又特開平 1 1 - 2 3 3 7 7 7 号公報（以下、公知例 4 とする）には NC ピンであるダミー端子を隣接する入力端子に抵抗部を介して接続することが開示されている。

【 0 0 1 3 】

図 1 2 は、公知例 3 に開示された NC ピン及び静電破壊保護回路の説明図である。図 1 2 を参照すると、半導体チップ 8 1 0 上に NC ピン専用のボンディングパッド 8 1 2 と静電破壊保護回路 8 1 4 とを形成し、NC ピン P 1（インナリード 8 0 3）と NC ピン専用ボンディングパッド 8 1 2 とをボンディングワイヤ 8 0 7 で接続する半導体装置が示されている。この場合、NC ピン P 1 に印加され

た静電ノイズを、NCピン専用静電破壊保護回路814で過電圧を吸収して、電源（例えばVcc）ラインへ放電する（サージの経路SGP）ことで、NCピンP1に隣接する入力ピンP3への静電放電による半導体チップ6の破壊を防止することが開示されている。

【0014】

この方法は、NCピンP1に印加された静電ノイズを、電源ラインへ放電することにより、NCピンP1に隣接する入力ピンP3への静電放電による半導体チップ810の破壊を防止する点において効果を奏している。

【0015】

しかしながら、この方法ではNCピン専用のボンディングパッド812と静電破壊保護回路814とを設けているため、NCピンの数が増えるとチップサイズが大きくなってしまい、半導体ウエハ当たりの有効チップ数が減少するため、生産コストが上昇するという問題が生じる。

【0016】

又、公知例4では、ダミー端子を隣接する入力端子に抵抗部を介して接続し、ダミー端子に生じた大きな静電気を抵抗部で減衰させて入力端子に接続した保護回路により吸収させる、或いは更に大きな静電気が生じた場合は抵抗部が断線することで入力端子に接続した保護回路や内部のTFT素子を保護する方法を開示しているが、この方法でもNCピン毎に抵抗部を設ける必要があり、やはりチップサイズが大きくなってしまうので、公知例3の場合と同様、半導体ウエハ当たりの有効チップ数が減少するため、生産コストが上昇するという問題が生じる。

【0017】

又、上記公知例1、2に開示された半導体装置のDBPを接地電位等の電源配線に接続すれば静電ノイズに対する問題は生じないが、このようにすると実装基板側で信号用パンプ電極に接続する配線導体の引き出しが困難になるという問題が生じる。図13は、この問題を説明するための図で、例えば実装基板900に図5のFCLSI500を搭載するときに、FCLSI500の外部接続パンプと接続する実装基板900の電極及び配線パターンの平面図で、FCLSI500のB部に対応する部分の模式的な拡大平面図である。FCLSI500におい

て、DBP523a及びDBP523bがFCLSI500内で例えば接地電位に接続されているとすると、実装基板900のそれぞれに対応する電極923a及び電極923bに接続する配線パターンも接地電位に接続される。実装基板900における電極間通過可能配線を例えば2本とすると、FCLSI500の搭載領域から外部に引き出すことができる電極1ピッチ間の配線の本数は、最外周電極の分も含めて3本であるが、最外周電極が接地電位等の固定電位に接続されたDBPの場合、信号線として引き出すことができるのは2本だけとなる。従って、最外周電極が接地電位等の固定電位に接続されたDBPの場合、FCLSI500の搭載領域から外部に引き出すことができる信号線の本数が減少するのでFCLSI500のバンプの中で信号の入出力に用いることができる信号用BPの本数が減少することになり、多数の信号端子を必要とする信号処理LSI等で特に重大な問題となる。

【0018】

又、上記公知例1或いは公知例2に開示されたLSI或いは半導体チップにおける問題は、今後LSIの小型化・多ピン化が更に進むと、バンプ電極間隔がより狭くなることが予想されるためいっそう深刻になる。

【0019】

従って、本発明の目的は、チップサイズを増大させることなく多ピン化に対応でき、且つ実装時の接続強度を増す等のためのDBPを備えていても、DBPへの過大な電荷の蓄積を抑制して隣接するバンプ電極（ピン）への放電を防止し、蓄積電荷（静電ノイズ）による半導体チップの破壊を防止することができるLSIを提供することにある。

【0020】

【課題を解決するための手段】

そのため、本発明による半導体装置は、一主面に所望の素子及び複数のチップ電極を含む配線が形成された半導体チップと、外部の所定の端子に接続する同一平面上に2次元的に配置された複数の外部接続用バンプ電極と、複数の前記チップ電極とそれぞれ対応し且つ前記外部接続用バンプ電極に含まれる複数の第1バンプ電極とを接続する接続手段を少なくとも備え、

前記外部接続用バンプ電極は前記第 1 バンプ電極と共に対応する前記チップ電極がないダミーバンプを複数含み、

前記第 1 バンプ電極は前記ダミーバンプと接続する第 2 バンプ電極を含むことを特徴とする。

【 0 0 2 1 】

このとき、前記ダミーバンプが複数の前記バンプ電極の最外周部に配置された第 1 ダミーバンプを含み、

前記第 1 ダミーバンプと接続する前記第 2 バンプ電極は、当該第 1 ダミーバンプと隣接し且つ当該第 1 ダミーバンプよりも前記半導体チップの中心に近い位置に配置されているのが好ましい。

【 0 0 2 2 】

又、少なくとも一つの前記第 2 バンプ電極は前記半導体チップの電源供給用でない、言い換えると信号入出力用の前記チップ電極と接続することができる。

【 0 0 2 3 】

又、前記半導体チップが前記チップ電極と当該半導体チップの内部回路部との間に静電保護回路を備えた静電保護付きチップ電極を有するとき、前記第 2 バンプ電極は該静電保護付きチップ電極に接続するのが望ましい。

【 0 0 2 4 】

又、前記外部接続用バンプ電極を前記半導体チップの前記一主面側に所定の絶縁層を介して形成し、前記接続手段を前記絶縁層上に形成された接続配線とすることができる。そして、前記ダミーバンプと前記第 2 バンプ電極との接続は、前記絶縁層上に形成されたダミー接続配線により行うことができる。

【 0 0 2 5 】

又、本発明の他の半導体装置は、一主面に所望の素子、所定の静電保護回路及び複数のチップ電極を含む配線が形成された半導体チップと、外部の所定の端子に接続する同一平面上に 2 次元的に配置された複数の外部接続用バンプ電極と、複数の前記チップ電極とそれぞれ対応し且つ前記外部接続用バンプ電極に含まれる複数の第 1 バンプ電極とを接続する接続手段を少なくとも備え、
前記チップ電極は前記静電保護回路のみと接続するダミーチップ電極を含み、

前記外部接続用パンプ電極は前記第 1 パンプ電極と共に対応する前記チップ電極がないダミーパンプを複数含み、

前記第 1 パンプ電極に含まれる前記ダミーチップ電極に接続した第 3 パンプ電極に少なくとも 1 個の前記ダミーパンプを接続しことを特徴とする。

【 0 0 2 6 】

このとき、前記第 3 パンプ電極を除く前記第 1 パンプ電極は前記ダミーパンプとも接続する第 2 パンプ電極を更に含むことができる。又、前記ダミーパンプが複数の前記パンプ電極の最外周部に配置された第 1 ダミーパンプを含み、前記第 1 ダミーパンプと接続する前記第 2 パンプ電極は、当該第 1 ダミーパンプと隣接し且つ当該第 1 ダミーパンプよりも前記半導体チップの中心に近い位置に配置されているのが好ましい。

【 0 0 2 7 】

又、少なくとも一つの前記第 2 パンプ電極は前記半導体チップの電源供給用でない前記チップ電極と接続する、言い換えると信号入出力用の前記チップ電極と接続することができる。

【 0 0 2 8 】

又、前記半導体チップは前記チップ電極と当該半導体チップの内部回路部との間に静電保護回路を備えた静電保護付きチップ電極を有するとき、前記第 2 パンプ電極は該静電保護付きチップ電極に接続するのが望ましい。

【 0 0 2 9 】

又、前記外部接続用パンプ電極を前記半導体チップの前記一主面側に所定の絶縁層を介して形成し、前記接続手段を前記絶縁層上に形成された接続配線とすることができる。そして、前記ダミーパンプと前記第 2 パンプ電極との接続は、前記絶縁層上に形成されたダミー接続配線により行うことができ、更に前記ダミーパンプと前記第 3 パンプ電極との接続も、前記絶縁層上に形成されたダミー接続配線により行うことができる。

【 0 0 3 0 】

又、上記いずれの半導体装置においても、前記半導体チップを搭載する所定の基板を更に有し、前記外部接続用パンプ電極を前記基板の前記半導体チップ搭載

面と反対側の面に形成し、前記接続手段は前記基板に形成された接続配線を含む構成としてもよい。

【 0 0 3 1 】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

図 1 は、本発明の半導体装置の一実施形態を示す図で、(a) 及び (b) はそれぞれ F C L S I のバンプ形成面側の模式的な平面図及び (a) の A 部の拡大平面図である。又、図 2 は図 1 (a) の P1-P1' 線に沿った断面を模式的に示す断面図である。又、図 3 は F C L S I を構成する半導体チップの例を模式的に示す図で (a) 及び (b) はそれぞれチップ内の構成を示す平面図及び静電保護回路の例である。

【 0 0 3 2 】

図 1 乃至図 3 を参照すると、本実施形態の L S I 1 は、所望の素子、配線（いずれも図示せず）及びシリコン酸化膜等の第 1 絶縁膜 1 1 上にチップ電極である外部接続用パッド（以下、P D とする）1 3 が形成された半導体チップ 1 0 の素子形成面側の表面に更にポリイミド等の再配線用層間絶縁膜 1 3 と、この再配線用層間絶縁膜 1 3 の上に形成された各 P D 1 3 とそれぞれ対応する第 1 バンプ電極である外部接続用バンプ（以下、E B P とする）2 1 と、チップ 1 0 上に対応する P D のない D B P 2 3 と、P D 1 3 と対応する E B P 2 1 を接続する配線（以下、E B 再配線とする）4 1 と、D B P 2 3 と第 2 バンプ電極である所定の E B P 2 1 とを接続する配線（以下、D B 再配線とする）4 3 を備えている。尚、チップ 1 0 は平面形状が矩形又は正方形であり、互いに直交する 2 辺の方向を X 方向及び Y 方向とする。又、チップ 1 0 は、例えば内部回路部 8 0 と、複数の I / O バッファセル 8 2 を配列した I / O 回路部 8 3 と周辺領域 8 5 を含み、周辺領域 8 5 に複数の P D 1 3 及び必要に応じて P D 1 3 と内部回路部 8 0 又は I / O 回路部 8 3 の間に静電保護回路 8 8 が配置されている。静電保護回路 8 8 は、特に限定されないが、例えば高電位側電源（以下 V D D とする）と低電位側電源（以下、G N D とする）との間に、ゲートを V D D に接続した P チャネル電界効果トランジスタ（以下、P M O S とする）のソース・ドレイン路、第 1 抵抗素子

、第2抵抗素子及びゲートをGNDに接続したNチャネル電界効果トランジスタ（以下、NMOSとする）のソース・ドレイン路をこの順序で直列接続した構成とすることができ、第1抵抗素子と第2抵抗素子との共通接続点を対応するPD13及びI/O回路部83の図示されていない所定のノードに接続する。又、DB再配線43によりDBP23が接続されるEBP21とEB再配線41により接続するPD13は、内部回路部80又はI/O回路部83との間に静電保護回路88のような静電保護手段を備えている。尚、内部回路部80、I/Oバッファセル82及びI/O回路部83の構成は本発明の特徴部分には直接関係しないので、具体的構成の図示は省略する。

【0033】

EBP21及びDBP23を含む外部接続用パンプ電極は、略マトリックス状に配列されており、DBP23は最外周のチップ辺端部に配置された第1DBPとなっている。又、各DBP23は当該DBP23が配置された辺と直交する方向に隣接する、従って当該DBP23よりもチップ10の中心側に配置された第2パンプ電極であるEBP21とDB再配線43により接続されている。より具体的には、X方向の辺端部に配置されたDBP23aはY方向に隣接するEBP21aとDB再配線43aにより接続している。尚、EBP21aは対応するPD13aとEB再配線41aにより接続している。又、やはりX方向の辺端部に配置されたDBP23bは、Y方向に隣接するEBP21bとDB再配線43bにより接続している。尚、EBP21bは対応するPD13bとEB再配線41bにより接続するが、この場合はEB再配線41bをDB再配線43bの略中央のN1部に接続し、N1部からEBP21bまではEB再配線41bとDB再配線43bとが共通配線となっている。又、このような接続構成を用いるときのN1部の位置はDB再配線上であれば任意に設定できるが、当該DB再配線の中央部よりもEBP21に近い位置がより望ましい。

【0034】

次にこのLSI1の再配線部分の製造方法の概略について説明する。チップ10の素子や配線の形成は公知の方法を用いて行えばよいので説明は省略する。PD13の形成が終了した後、図示されていないシリコン窒化膜等の表面保護膜を

堆積し、更にポリイミド樹脂等の再配線用層間絶縁膜 1 5 を塗布して、PD 1 3 を開口する。次に導電体膜、例えばアルミニウム (A l) を所定の厚さ (2 ~ 5 μ m 程度) 堆積した後、パターニングして所定の外部接続用バンプ電極を形成するバンプ座並びに各バンプ座と対応する PD 1 3 を接続する EB 再配線 4 1 及び所定のバンプ座の間を接続する DB 再配線 4 3 を形成する。次に、ポリイミド樹脂等の第 2 絶縁膜 1 7 を塗布した後バンプ座を開口し、チタン (T i) やクロム (C r) 等のバリヤメタルを介して堆積した銅 (C u) 等の金属膜の上に半田等により外部接続用バンプ電極を形成して完成する。尚、PD 1 3 とバンプ電極を接続する再配線にインターポーザ基板を用いても良いことはいうまでない。

【 0 0 3 5 】

上記説明の通り、本実施形態の L S I 1 は、外周部に配置された DB P 2 3 を当該 DB P 2 3 よりもチップ 1 0 の中心側に配置された EB P 2 1 と DB 再配線 4 3 により接続しているので、DB P 2 3 に静電ノイズが印加されても、DB P 2 3 の電位が所定の値まで上昇すると、EB P 2 1 及びこの EB P 2 1 に接続した PD 1 3 を介して PD 1 3 に接続する静電保護回路により放電できるので、バンプ間のギャップ放電を生じるような過大な電荷が DB P 2 3 に蓄積されることはなくなり、静電ノイズによる L S I 1 の破壊を防止できる。又、DB P と当該 DB P に対応する EB P との接続を上述した構成とすることにより、機械的ストレス或いは熱的ストレスを受けやすい外周部に配置された DB P がたとえ物理的に破損して無くなっても PD と EB P との電氣的接続を維持することが可能になっている。

【 0 0 3 6 】

更に、L S I 1 を実装基板に搭載する際に、L S I 1 の搭載領域から外部に引き出すことができる信号線の本数は DB P 2 3 が無い場合と同じ数だけ確保することができる。図 4 は、L S I 1 を搭載する実装基板を説明するための図で、(a) 及び (b) はそれぞれ L S I 1 を搭載した一例の実装基板 1 0 0 の模式的な概略部分平面図及び (a) の Q 部の配線パターンの拡大平面図である。上記説明の通り L S I 1 の DB P 2 3 は内周側に隣接する EB P 2 1 と DB 再配線 4 3 により接続されているので、図 4 に示すように EB P 2 1 を接続する実装基板 1 0 0

の基板電極 1 2 1 の引出配線 1 3 5 は基板電極 1 2 3 上を通過して引き出すことができ、実装基板 1 0 0 の L S I 1 搭載領域から外部に引き出す信号線の数で DB P 2 3 が無い場合と同じ数だけ確保することができる。より具体的には、例えば L S I 1 の DB 再配線 4 3 a で DB P 2 3 a と接続された E B P 2 1 a を実装時に接続する実装基板 1 0 0 の基板電極 1 2 1 a から L S I 搭載領域外への引出配線 1 3 5 a は基板電極 1 2 3 a 上を通過して引き出すことができ、DB 再配線 4 3 b で DB P 2 3 b と接続された E B P 2 1 b を実装時に接続する実装基板 1 0 0 の基板電極 1 2 1 b から L S I 搭載領域外への引出配線 1 3 5 b は基板電極 1 2 3 b 上を通過して引き出すことができる。従って、図 1 3 の実装基板 9 0 0 の場合と同様、電極間通過可能配線を 2 本とすると、L S I 1 の搭載領域から外部に引き出すことができる電極 1 ピッチ間の信号線の本数は、最外周部の DB P 2 3 の有無に関わらず 3 本を確保できる。

【 0 0 3 7 】

又、例えば図 1 0 や図 1 1 に示した公知例のように最外周部のバンプ電極を全て DB P とした場合、角部においては複数の DB P の内周側隣接バンプが一つの E B P に重なる場合が生じる。図 5 は、このような L S I の角部に DB P が集中した場合を説明するための図で、(a) 及び (b) はそれぞれ外部接続用バンプ電極の配置を示す模式的な平面図及び (a) の B 部のチップ上の P D 1 3 との接続も併せて示す拡大平面図である。L S I 1 a において、B 部の E B P 2 1 c が複数の DB P 即ち DB P 2 3 c, DB P 2 3 d 及び DB P 2 3 e に共通の内周側隣接バンプとなっている。このような場合、例えば DB P 2 3 c 及び DB P 2 3 d を E B P 2 1 c に接続し、DB P 2 3 e を直近にある DB P 2 3 f が接続している E B P 2 1 f に接続することもできるが、E B P 2 1 c や E B P 2 1 f が高速信号を入力する信号端子の場合は、複数の DB P を接続して寄生容量を大幅に増加させるのは好ましくない。このような場合は、E B P 2 1 c と E B P 2 1 f にはそれぞれ DB P 2 3 c と DB P 2 3 f のみを接続し、接続できる E B P 2 1 が近傍に存在しない DB P 2 3 d 及び DB P 2 3 e については、例えばチップ 1 0 a 内の空き領域に静電保護回路 8 8 d 及びこの静電保護回路 8 8 d のみに接続したダミーチップ電極である P D 1 3 d を設け、例えば DB P 2 3 d を第 3

バンク電極としてPD13dとEB再配線41dにより接続し、DBP23dとDBP23eとをDB再配線43dにより接続してもよい。このとき、PD13dと接続するEB再配線41dは、DBP23dとDBP23eとを接続するDB再配線43dの略中央部のN2部に接続するのが好ましい。これにより、DBP23d又はDBP23eのいずれか一方が機械的ストレス或いは熱的ストレス等により物理的に破損して無くなっても他方の電氣的接続を維持することが可能になる。尚、この場合は、DBP23eを第3バンク電極としても全く同じ構成とすることが出来る。

【 0 0 3 8 】

尚、本発明は上記実施形態の説明に限定されるものでなく種々変更が可能である。例えば、FCLSI、CSP型LSI或いはBGA型LSI等では、上記説明では触れなかったが、図1(a)、図5(a)等のように外部接続用バンク電極をマトリックス状に配置した場合、中心部、例えば第1境界線61で囲まれる領域には電源用バンク電極を配置し、第1境界線61より外の領域に他のデバイスとの接続を必要とする信号入出力用のバンク電極を配置するのが一般的である。(但し、例えば図6のLSIbのように、第1境界線61で囲まれた領域の中心部にバンク電極を配置しない領域が設けられる場合もある。)この配置により他のデバイスとの接続のための実装基板上の配線形成がより容易になるようにしている。従って、DBPと実質的に同じチップ上の素子と接続されない空きバンク電極が内周部に生じたときは、その空きバンク電極の位置に応じて、例えば第1境界線61と第2境界線63の間にある場合は、第1境界線61で囲まれた領域内の隣接するバンク電極に接続し、第2境界線63よりも外の領域にある場合は当該空きバンク電極から最短距離にあるLSIの外形辺に直交する方向に隣接するEBPに接続すればよい。具体的には、例えば図6のLSI1bの場合、空きバンク電極25aについては最短距離にある辺31に直交する方向、即ちY方向に隣接するEBP27aと接続し、空きバンク電極25bについては最短距離にある辺32に直交する方向、即ちX方向に隣接するEBP27bと接続し、空きバンク電極25cについては第1境界線61と第2境界線63との間に位置しているので第1境界線61の中で隣接するEBP27cと接続すればよい。

【 0 0 3 9 】

又、上記実施形態では、FCLSIを製造する際にしばしば採用される、既存の他の組立形態、具体的には例えば金属細線によるボンディング接続を用いる方法に使用されていたチップを流用してFCLSIとする場合を想定して説明したので、内部素子に接続したPDからEB再配線により各EBPと内部素子とを接続するようにしたが、FCLSI専用のチップでPDを形成する必要がない場合は、所定の内部素子（入出力バッファセルや静電保護回路等）と対応する各EBPをEB再配線により直接接続できることは明らかである。

【 0 0 4 0 】

更に、上記実施形態はFCLSIの例で説明したが、CSP型LSIやBGA型LSIのように外部接続用端子としてバンプ電極を用いるLSIに対して本発明をそのまま適用できることはいうまでもない。

【 0 0 4 1 】

【発明の効果】

以上説明したように、外部接続用端子としてバンプ電極を用いる本発明のLSIは、チップサイズを増大させることなく多ピン化に対応でき、且つ実装時の接続強度を増すためにDBPを備えていても、DBPへの過大な電荷の蓄積を抑制して隣接するバンプ電極（ピン）への放電を防止し、蓄積電荷（静電ノイズ）による半導体チップの破壊を防止することができるという効果がある。又、最外周部に多数のDBPを配置しても、実装基板において内周側から引き出すことができる引出配線の数にDBPが無い場合と同じ数に維持できるという効果もある。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の一実施形態を示す図で、（a）及び（b）はそれぞれFCLSIのバンプ形成面側の模式的な平面図及び（a）のA部の拡大平面図である。

【図 2】

図 1（a）のP1-P1'線に沿った断面を模式的に示す断面図である。

【図 3】

F C L S I を構成する半導体チップの例を模式的に示す図で、(a) 及び (b) はそれぞれチップ内の構成を示す平面図及び静電保護回路の例である。

【図 4】

図 1 (a) の L S I を搭載する実装基板を説明するための図で、(a) 及び (b) はそれぞれ L S I を搭載した一例の実装基板の模式的な概略部分平面図及び (a) の Q 部の配線パターンの拡大平面図である。

【図 5】

L S I の角部に D B P が集中した場合を説明するための図で、(a) 及び (b) はそれぞれ外部接続用バンプ電極の配置を示す模式的な平面図及び (a) の B 部のチップ上の P D との接続も併せて示す拡大平面図である。

【図 6】

チップ上の素子と接続されない空きバンプ電極が内周部に生じたときの処理方法を説明するための図である。

【図 7】

従来の F C L S I の一例を示す図で、(a) 及び (b) はボールバンプが形成された面側のボールバンプの配置状態を模式的に示す平面図及び (a) の C 部のボールバンプとチップ上の電極との接続配線を含む部分拡大平面図である。

【図 8】

図 7 (a) の P2-P2' 線に沿った断面図である。

【図 9】

従来の B G A 型 L S I の一例を示す図で、(a) はボールバンプが形成された裏面側の平面図、(b), (c) はいずれも (a) の P3-P3' 線に沿った断面図でそれぞれ半導体チップの電極とプリント基板上の配線導体を金属細線のボンディングで接続した場合とバンプにより接続した場合の例である。

【図 10】

特開平 1 - 2 3 8 1 4 8 号公報に開示された半導体チップを説明するための図で、(a) 及び (b) はそれぞれバンプ電極の配置を示す平面図及びこのチップの要部断面図であり、(c) 及び (d) はそれぞれこのチップの実装工程を順に示す (a) の P4-P4' 線に沿った位置に相当する模式的な断面図である。

【図 1 1】

特開平 1 0 - 1 2 6 2 0 号公報に開示された F C L S I のバンプ電極の構成例を示す平面図である。

【図 1 2】

特開平 1 1 - 1 6 3 2 4 7 号公報に開示された N C ピン及び静電破壊保護回路の説明図である。

【図 1 3】

従来の F C L S I において D B P を固定電位に接続したとき実装基板側での問題を説明するための図である。

【符号の説明】

1, 1 a, 1 b L S I

1 0, 1 0 a チップ

1 1 第 1 絶縁膜

1 3, 1 3 a, 1 3 b P D

1 5 再配線用層間絶縁膜

1 7 第 2 絶縁膜

2 1, 2 1 a, 2 1 b, 2 1 c, 2 1 f E B P

2 3, 2 3 a, 2 3 b, 2 3 c, 2 3 d, 2 3 e, 2 3 f D B P

3 1, 3 2 辺

4 1, 4 1 a, 4 1 b, 4 1 d E B 再配線

4 3, 4 3 a, 4 3 b, 4 3 d D B 再配線

6 1 第 1 境界線

6 3 第 2 境界線

8 0 内部回路部

8 2 I / O バッファセル

8 3 I / O 回路部

8 5 周辺領域

8 8 静電保護回路

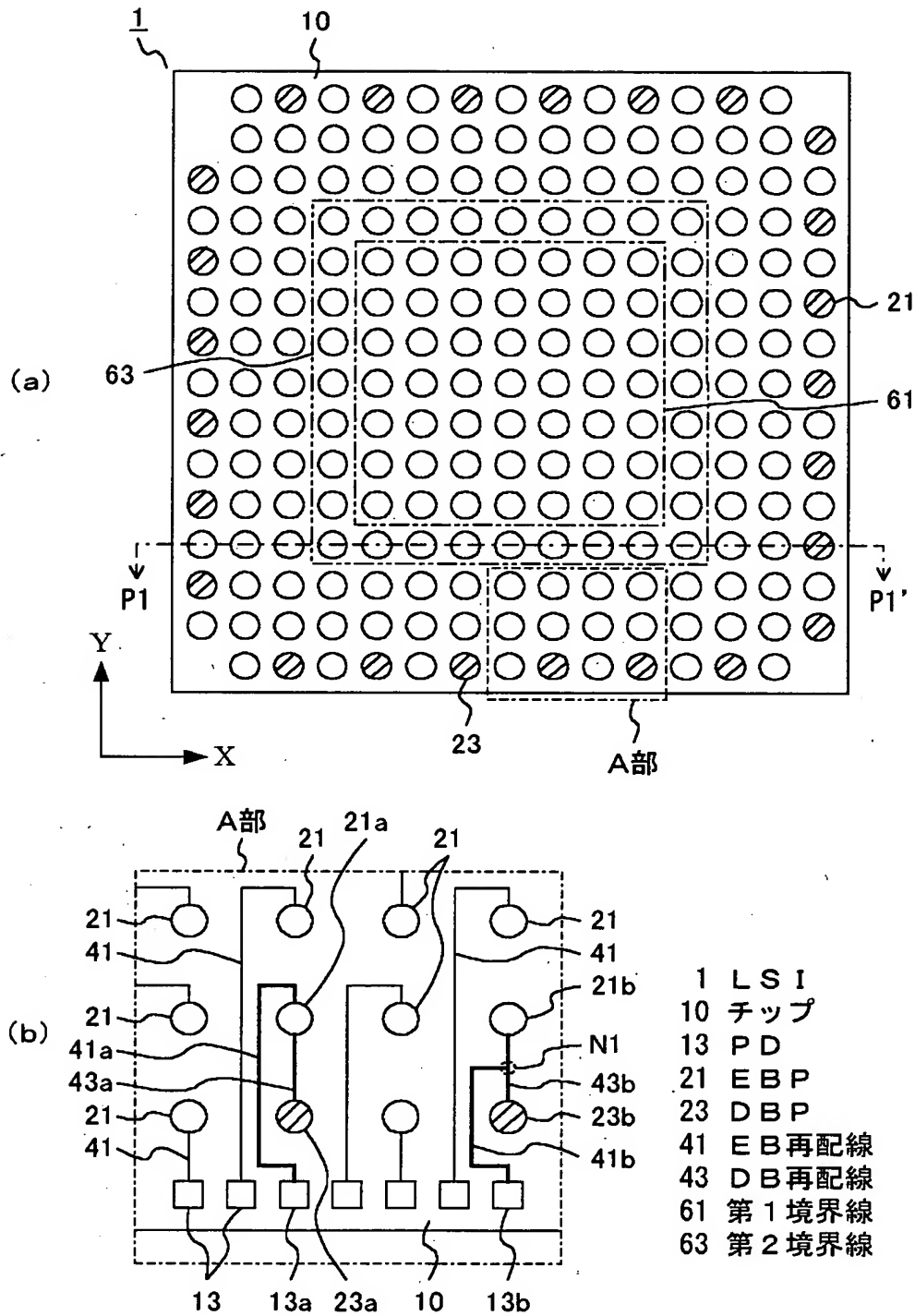
1 0 0 実装基板

1 2 1, 1 2 3 基板電極

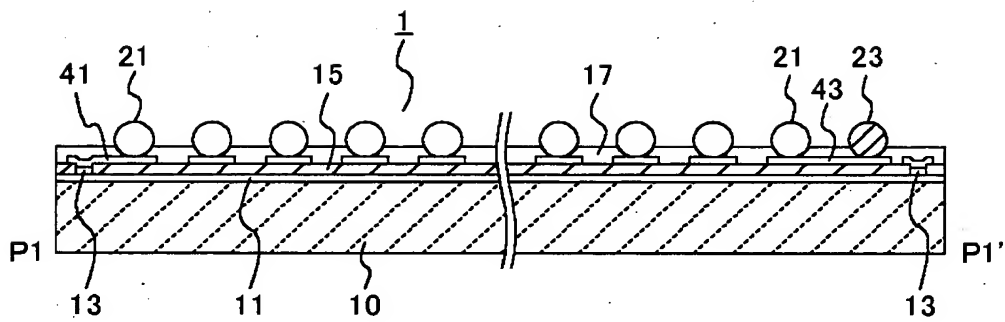
1 3 5 引出配線

【書類名】 図面

【図 1】

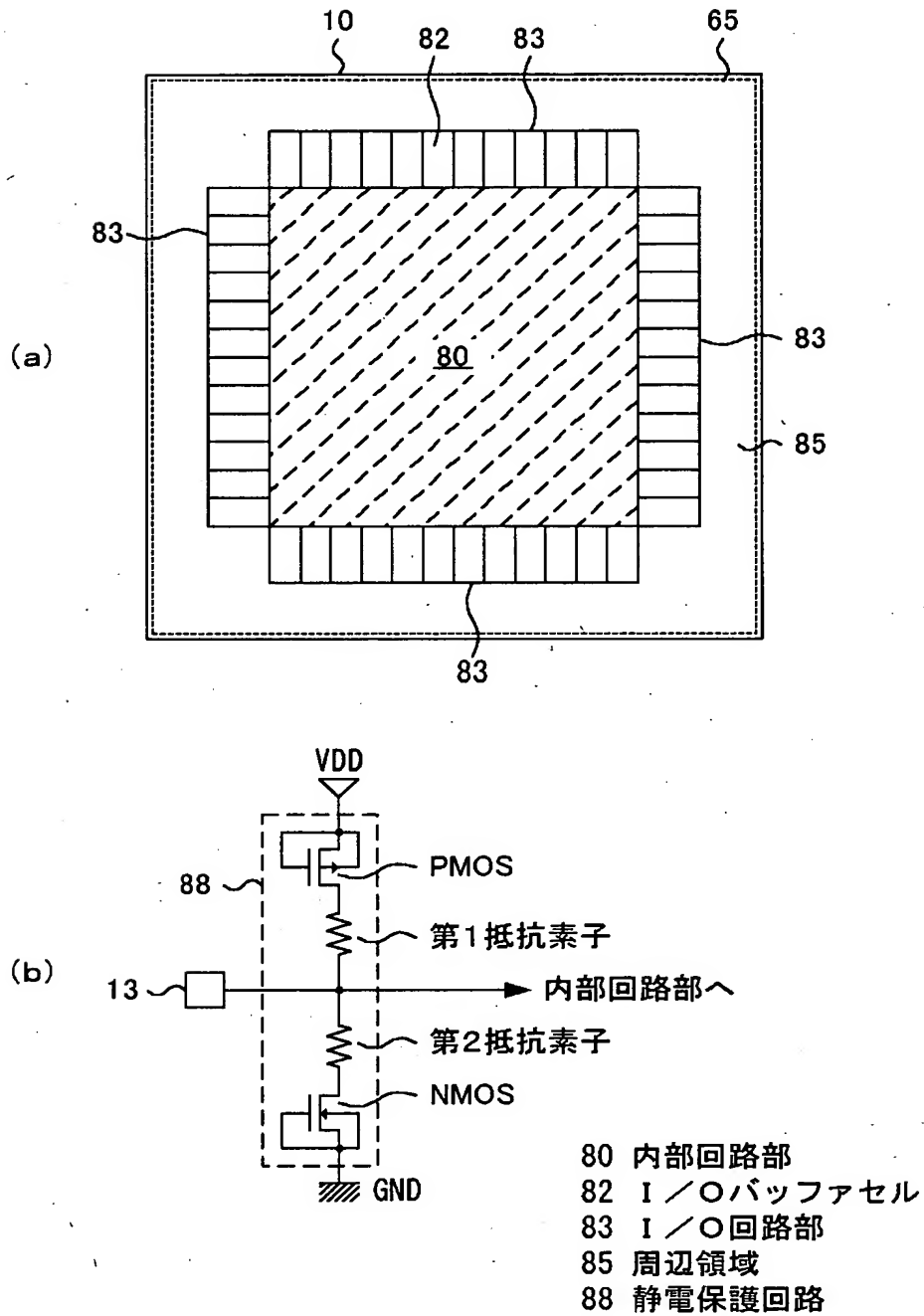


【図 2】

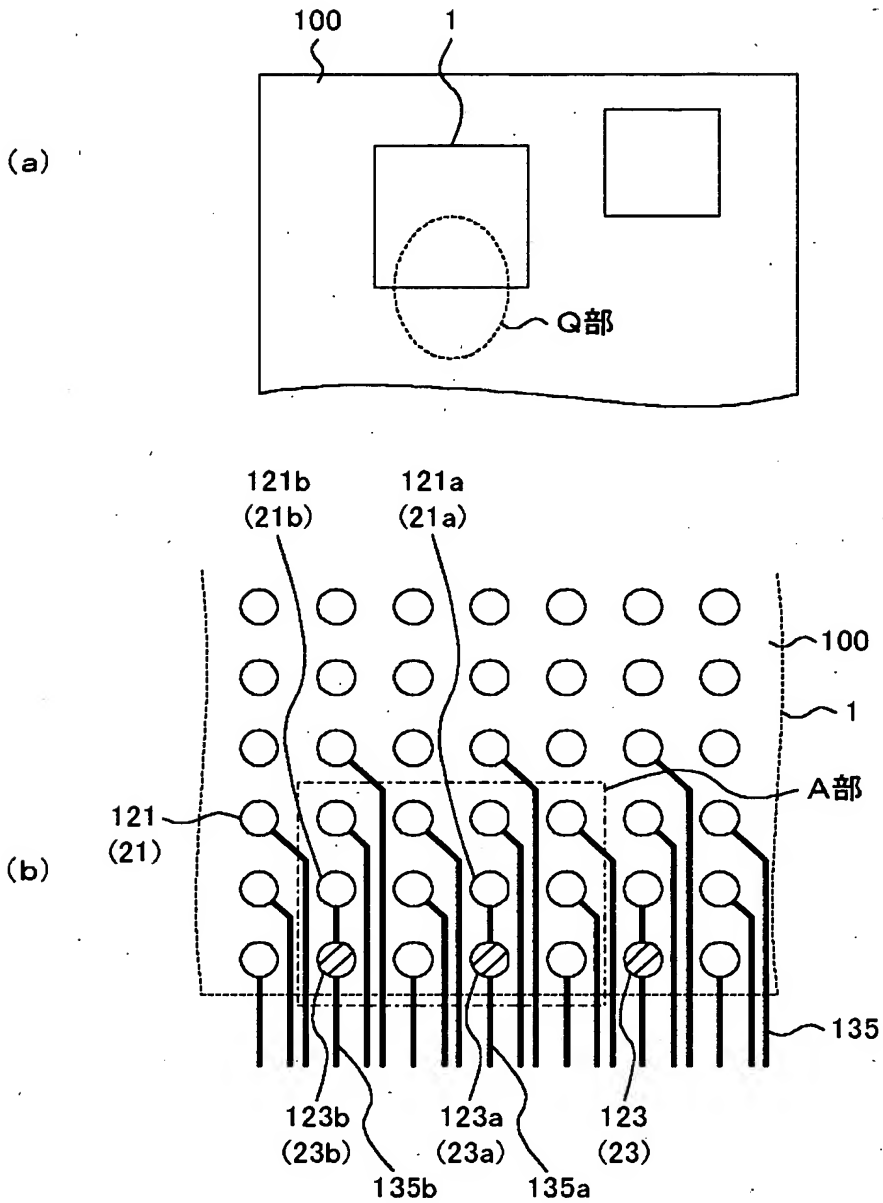


- 11 第 1 絶縁膜
- 15 再配線用層間絶縁膜
- 17 第 2 絶縁膜

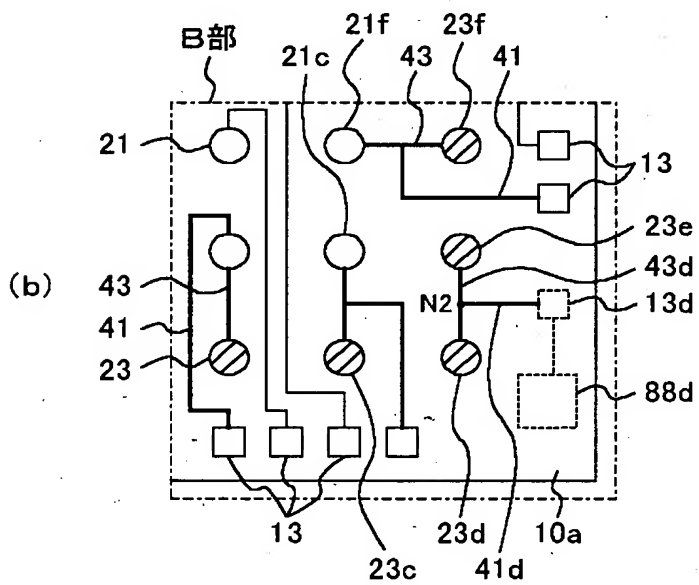
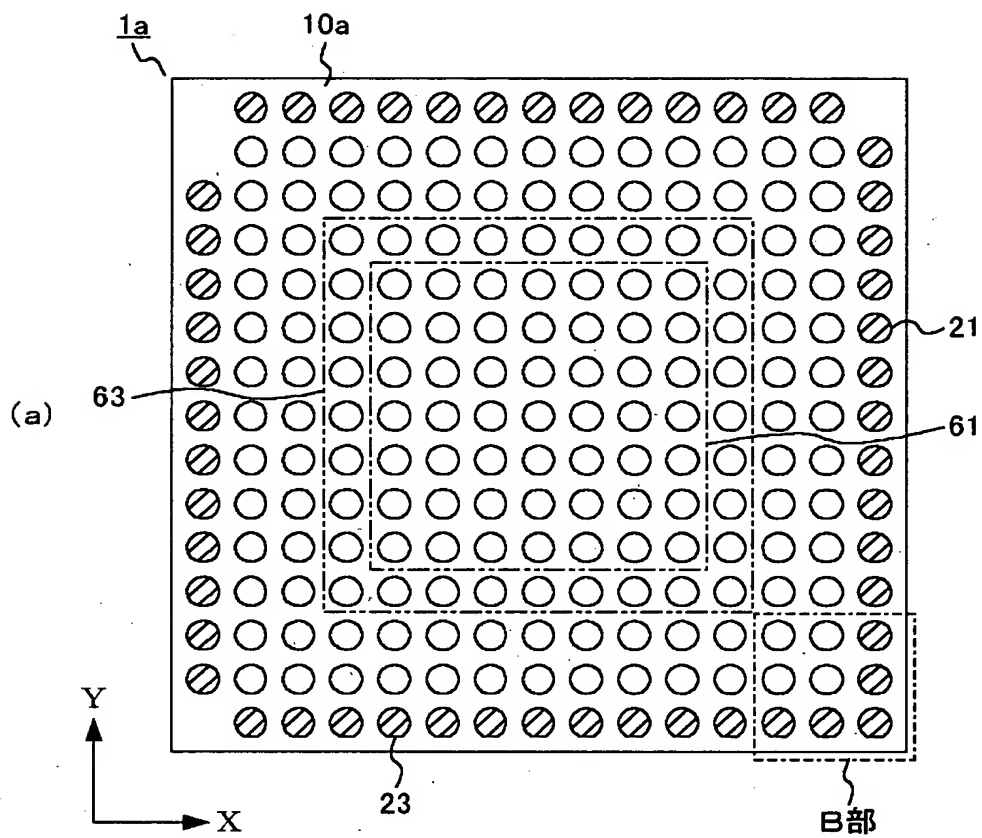
【図 3】



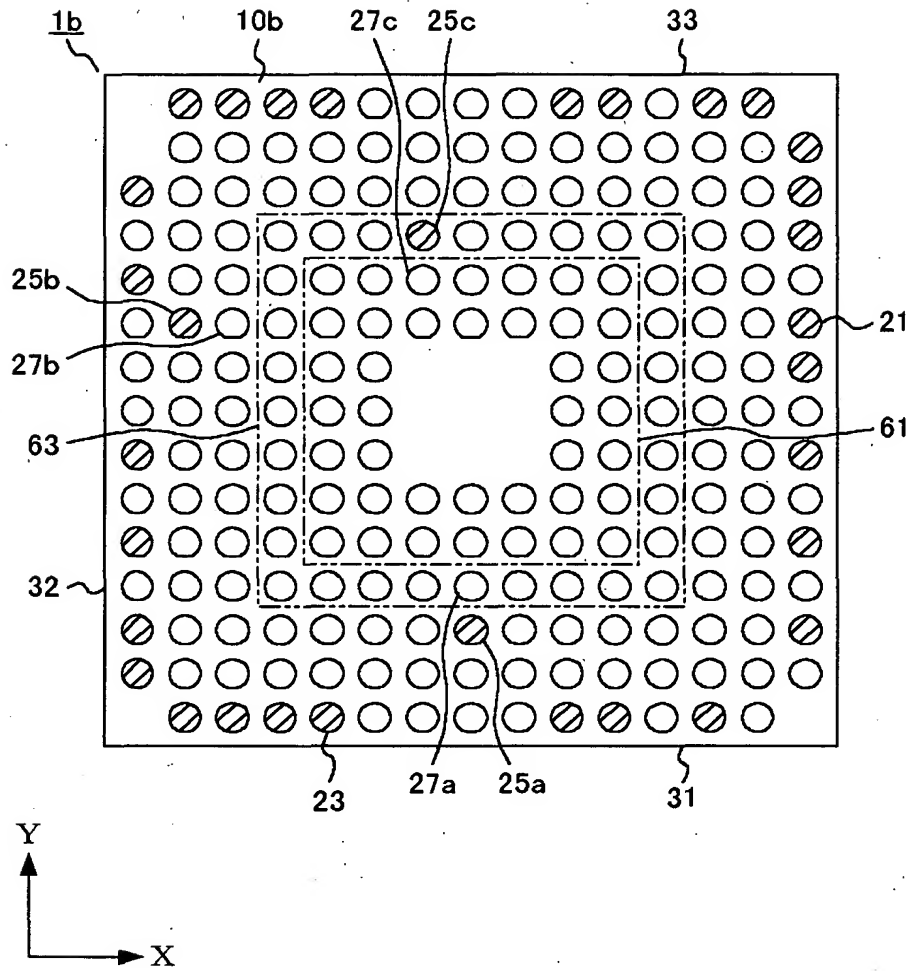
【図 4】



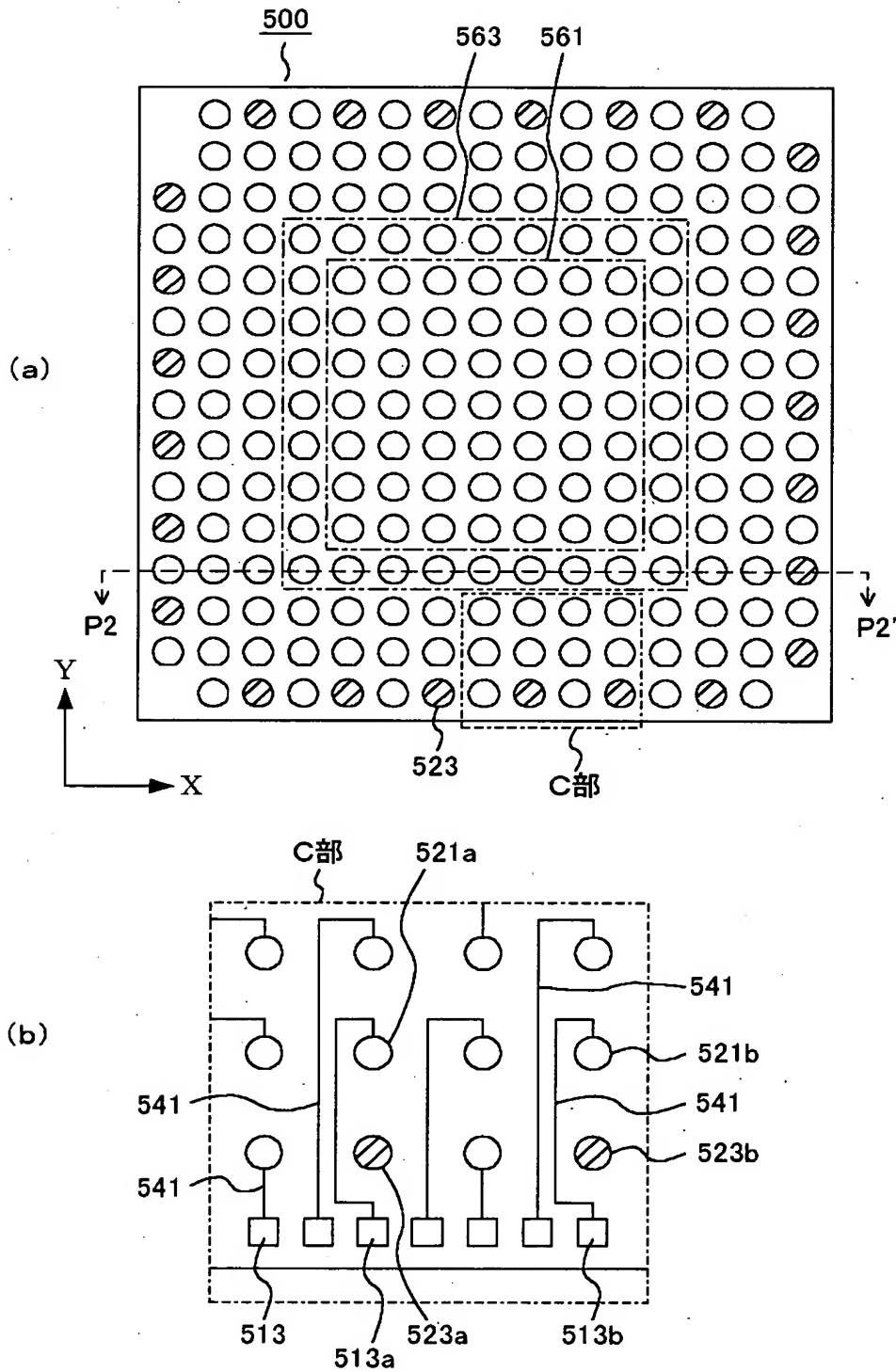
【図 5】



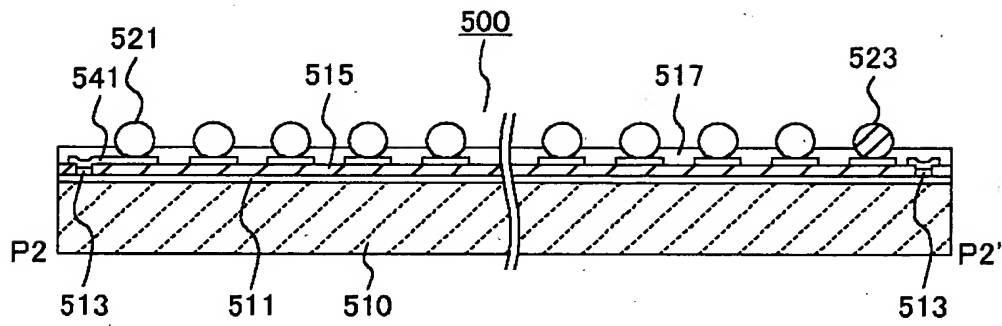
【図 6】



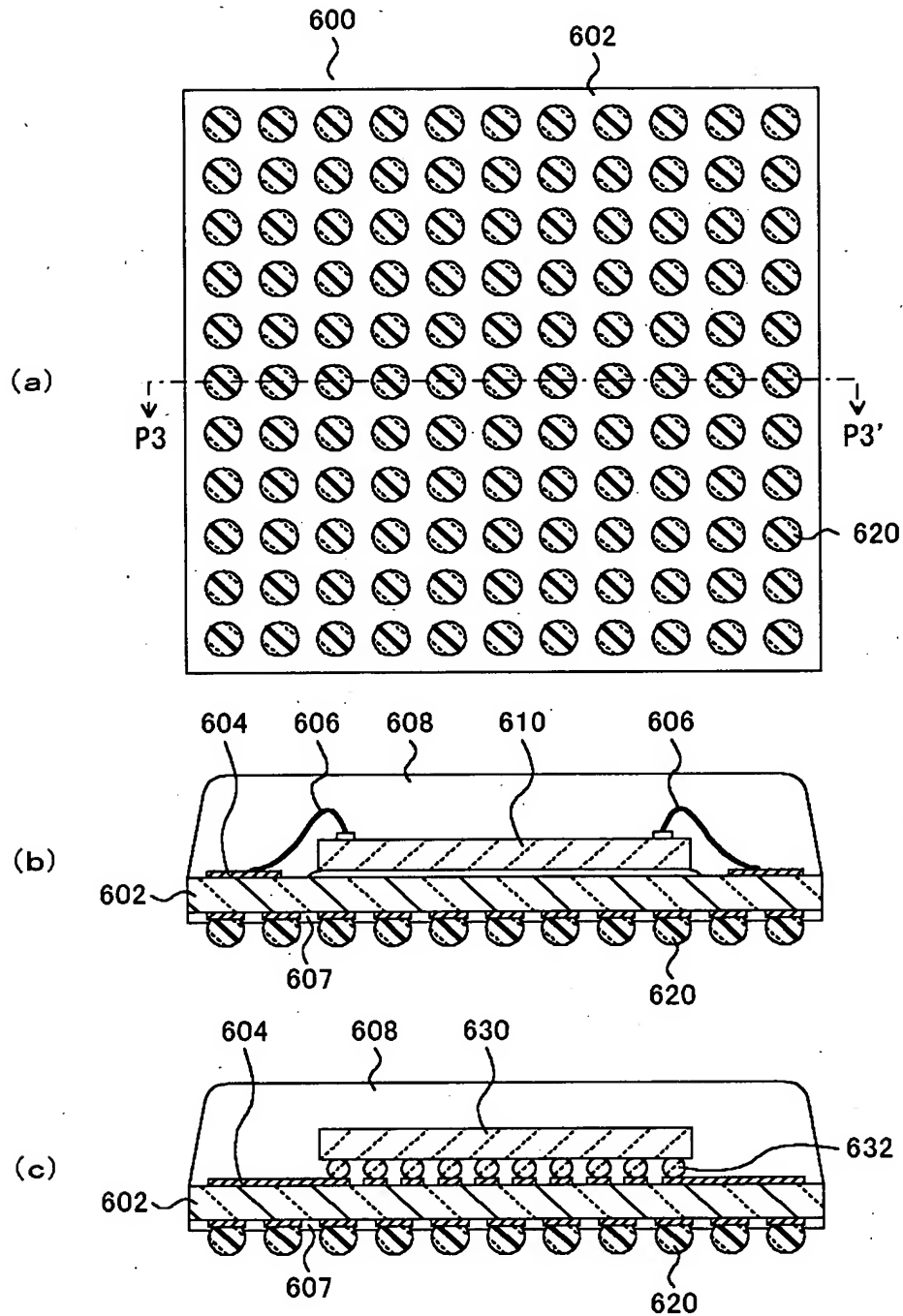
【図 7】



【図 8】

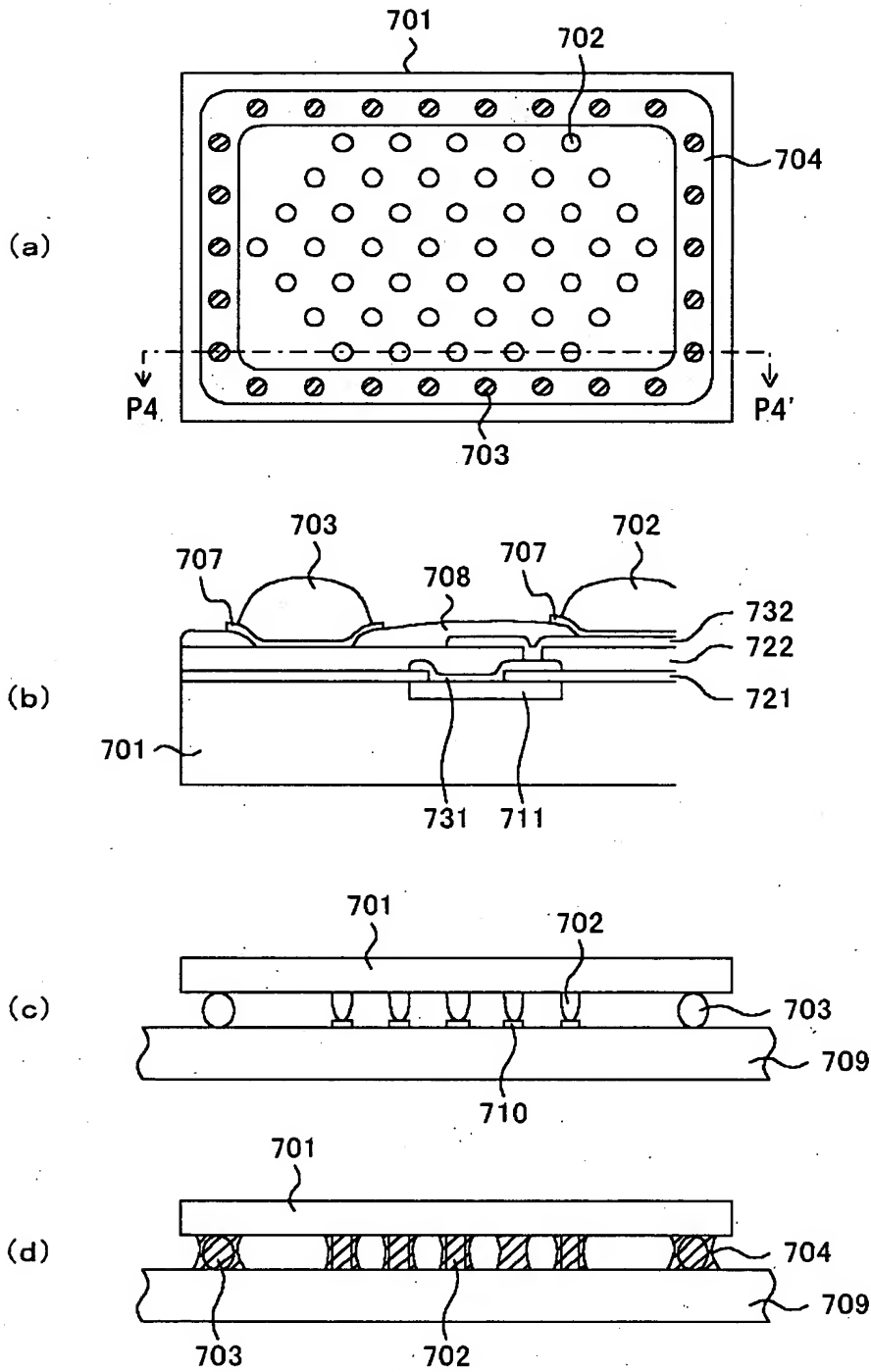


【図 9】

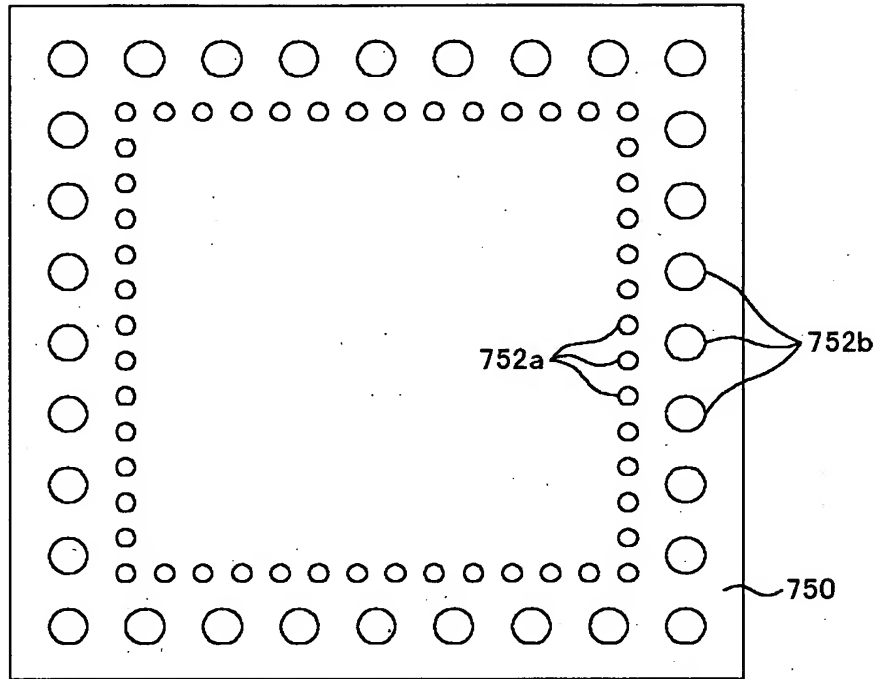


- | | | |
|-------------|----------|--------------|
| 600 BGA型LSI | 606 金属細線 | 610, 630 チップ |
| 602 プリント基板 | 607 絶縁膜 | 620 第1バンプ電極 |
| 604 基板配線 | 608 封止樹脂 | 632 第2バンプ電極 |

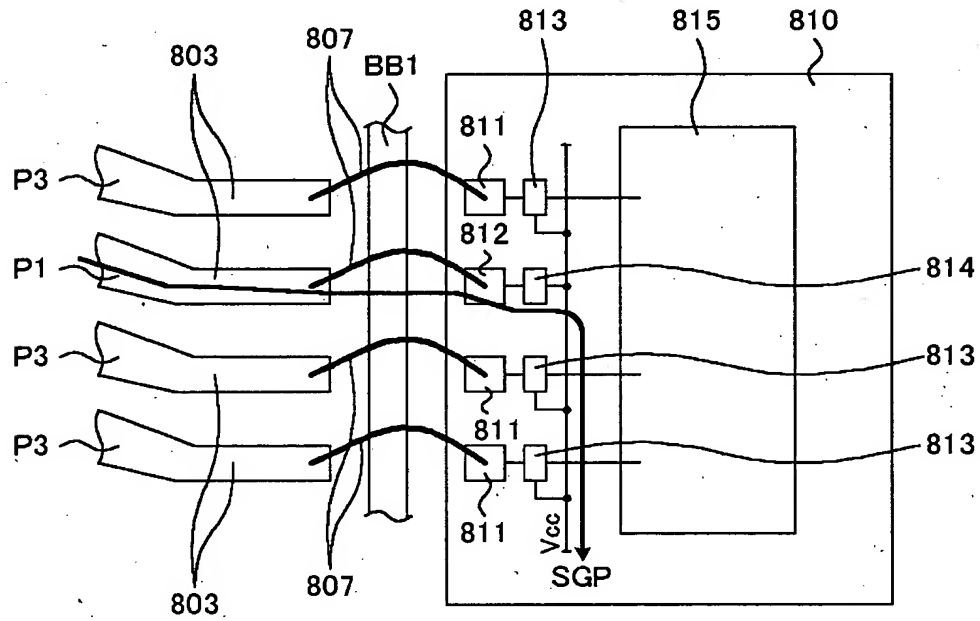
【図 10】



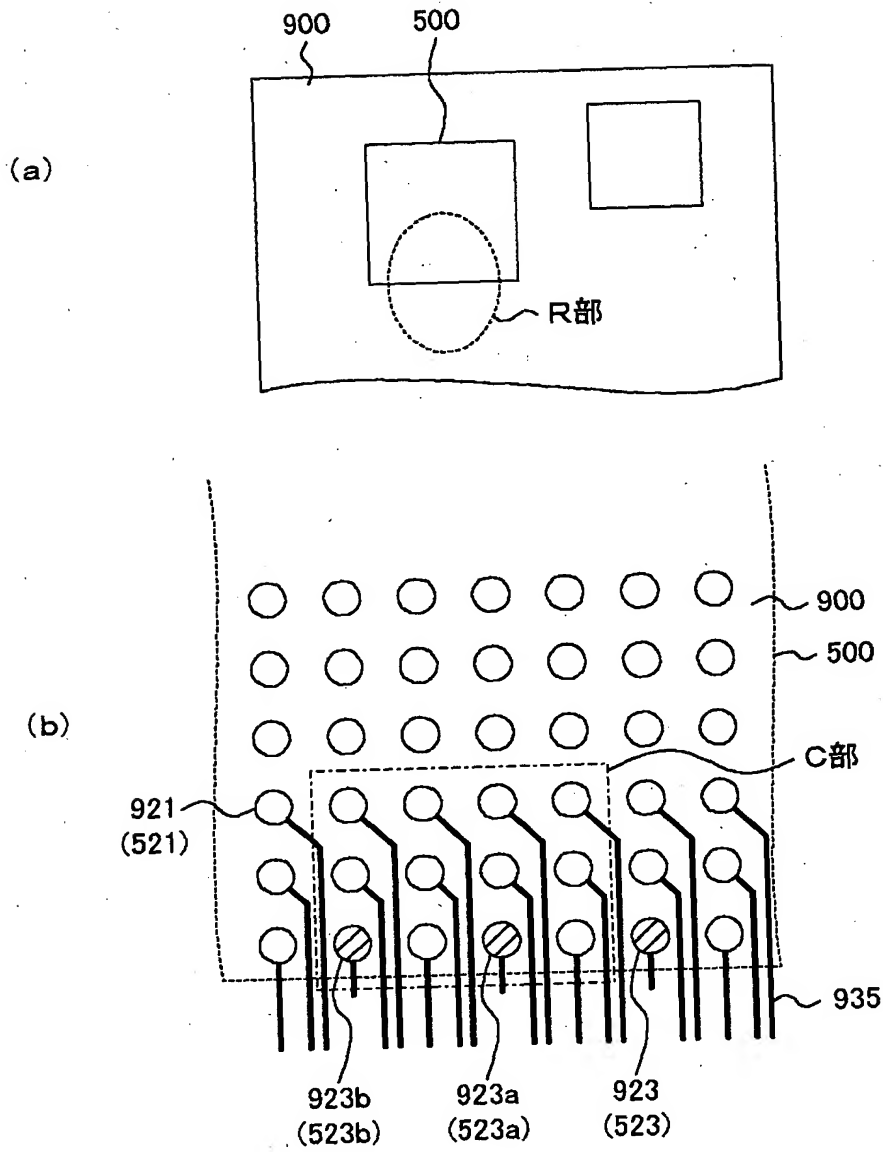
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 多ピン化に対応でき、且つDBPを備えていても、DBPへの過大な電荷の蓄積を抑制して隣接するバンプ電極への放電を防止し、静電ノイズによる半導体チップの破壊を防止することができるLSIを提供する。

【解決手段】 PD13が形成された半導体チップ10の素子形成面側の表面に更に再配線用層間絶縁膜13と、この上に形成された各PD13とそれぞれ対応するEBP21と、チップ10上に対応するPDのないDBP23と、PD13と対応するEBP21を接続する41と、DBP23と所定のEBP21とを接続するDB再配線43を備える。又、DBP23を接続されたEBP21と接続したPD13は、内部回路部80又はI/O回路部83との間に静電保護手段を備える。

【選択図】 図1

特2002-219834

認定・付加情報

特許出願の番号	特願2002-219834
受付番号	50201115149
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月30日

<認定情報・付加情報>

【提出日】 平成14年 7月29日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-219834

【承継人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【承継人代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月10日提出の特願2002-29761
2の出願人名義変更届（一般承継）に添付のものを援用
する。

【包括委任状番号】 0215753

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2002-219834
受付番号	50300206687
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9079
作成日	平成15年 2月20日

<認定情報・付加情報>

【提出日】 平成15年 2月10日

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社